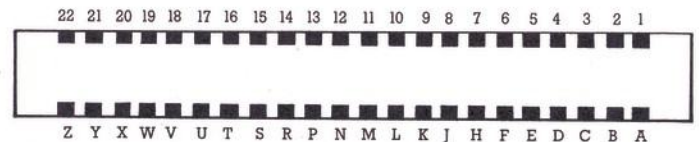


64'er X t r a

64'er Extra

Das 64'er Extra bringt geballte Informationen über Ihren C 64 zum Herausstreichen und Sammeln. In dieser achten Ausgabe finden Sie eine Übersicht zum Expansion-Port. Damit Sie nicht mehr die verschiedensten Bücher gleichzeitig wälzen müssen, haben wir für Sie in Klartext die Funktionen aller Leitungen des Expansion-Ports beschrieben.

Am Expansion-Port sind alle Leitungen herausgeführt, die für eine hardwaremäßige Erweiterung Ihres Computers notwendig sind. In den meisten Unterlagen findet man allerdings Angaben, die Ihnen bei der Durchdringung des Signaldschungels nicht entscheidend weiterhelfen. Mit unserer achten Ausgabe des 64'er Extra wollen wir Ihnen eine kompakte aber dennoch ausführliche Information über den Expansion-Port zur Verfügung stellen. Keine Leitung des Expansion-Ports wird ausgelassen. Die Abbildung zeigt den Expansion-Port, wie er von hinten betrachtet am Computer zu sehen ist. Das heißt die Zahlen gelten für die obere Kontaktleiste und beginnen von hinten gesehen rechts mit 1. In der Tabelle finden Sie häufig einen Strich über einer Signalbezeichnung. Hier handelt es sich um sogenannte »Nicht-Anweisungen«, die auch als Low-aktiv bezeichnet werden. Das bedeutet, wenn diese Leitung auf 0 (Low) gelegt wird, ist die betreffende Funktion aktiv.



Der Expansion-Port des C 64 — von hinten gesehen

Der Expansion-Port des C 64

Pin	Name	Beschreibung	Bemerkung	Eingang/ Ausgang
1	GND	Systemmasse		A
2	+5 V DC	Betriebsspannung	Belastung maximal 450 mA	A
3	+5 V DC			A
4	$\overline{\text{IRQ}}$	Interrupt-Anforderung	Wenn $\overline{\text{IRQ}}$ auf 0 gesetzt wird, arbeitet der Prozessor den momentanen Befehl ab, rettet den Programmzähler und das Statusregister auf den Stapel und lädt den Programmzähler mit den Speicherzellen \$FFFE und \$FFFF. Diese Speicherzellen enthalten die Einsprungadresse für die IRQ-Routine des Betriebssystems (\$FF48).	E
5	R/ $\overline{\text{W}}$	Lesen/Schreiben	Der Prozessor setzt diese Leitung bei jedem Lesezyklus (beispielsweise LDA) auf 1 und bei jedem Schreibzyklus (beispielsweise STA) auf 0.	A
6	DOT CLOCK	Taktfrequenz des Video Interface Controller (VIC)	7,80 MHz für PAL	A
7	$\overline{\text{I/O}}$	Ein-/Ausgabe-Bereich 1 (\$DE00-\$DEFF)	Ist die Speicherzelle 1 (Zeropage) auf \$37 gesetzt und es wird eine Adresse zwischen \$DE00 und \$DEFF angesprochen, so geht diese Leitung auf 0 (Chip Select für externe Peripheriebausteine, ungepuffert).	A
8	$\overline{\text{GAME}}$	Einblendung externer Bausteine Bereich (\$A000 — \$BFFF)	Wird $\overline{\text{GAME}}$ auf 0 gelegt, schaltet der Computer den Basic-Interpreter ab und erzeugt für den Bereich von \$A000 bis \$BFFF ein Chip Select. Wird nun eine Adresse in diesem Bereich angesprochen, so geht die Leitung ROMH (Pin B) auf 0.	E

Pin	Name	Beschreibung	Bemerkung	Eingang/ Ausgang
9	$\overline{\text{EXROM}}$	Einblendung externer Bausteine Bereich (\$8000 — \$9FFF)	Wird $\overline{\text{EXROM}}$ auf 0 gelegt, schaltet der Computer das RAM für den Bereich \$8000 bis \$9FFF ab und erzeugt ein Chip Select. Wird nun eine Adresse in diesem Bereich angesprochen, geht die Leitung ROML (Pin 11) auf 0.	E
10	$\overline{\text{I/O2}}$	Ein-/Ausgabe-Bereich 2 (\$DF00 — \$DFFF)	Ist die Speicherzelle 1 (Zeropage) auf \$37 gesetzt und eine Adresse zwischen \$DF00 und \$DFFF wird angesprochen, so geht diese Leitung auf 0 (Chip Select für externe Peripheriebausteine, gepuffert)	A
11	$\overline{\text{ROML}}$	Chip Select für den Bereich I (EXROM)	siehe Pin 9 (EXROM)	A
12	BA	Buszugriff vom VIC	BA liegt auf 1, wenn der VIC auf den Daten- oder Adreßbus zugreift. Ist BA = 1, so dürfen keine externen Bausteine auf den Bus zugreifen.	A
13	$\overline{\text{DMA}}$	Direkter Zugriff von externen Bausteinen auf internes RAM	Liegt $\overline{\text{DMA}}$ auf 0, so hält der Prozessor nach dem momentanen Lesezyklus an, damit der externe Baustein auf den Bus zugreifen kann. Wenn $\overline{\text{DMA}}$ während eines Schreibzyklus auf 0 gesetzt wird, ignoriert der Prozessor dies bis zum nächsten Lesezyklus. Ist die Leitung wieder hochohmig, setzt der Prozessor seine Arbeit fort.	E
14	D7	Datenbus Bit 7	Der Datenbus ist nicht gepuffert	E/A
15	D6	Datenbus Bit 6		
16	D5	Datenbus Bit 5		
17	D4	Datenbus Bit 4		
18	D3	Datenbus Bit 3		
19	D2	Datenbus Bit 2		
20	D1	Datenbus Bit 1		
21	D0	Datenbus Bit 0		
22	GND	Systemmasse	siehe Pin 8 ($\overline{\text{GAME}}$)	A
A	GND	Systemmasse		
B	$\overline{\text{ROMH}}$	Chip Select für Bereich II (GAME)		A
C	$\overline{\text{RESET}}$	Computer-Kaltstart		A
D	$\overline{\text{NMI}}$	Nicht maskierbarer Interrupt (Computer-Warmstart, identisch mit RUN/STOP-RESTORE)	Der Prozessor erkennt diese Interrupt-Anforderung mit fallender Flanke auf dieser Leitung, das heißt mit einem Übergang von 1 auf 0. Der Befehl wird abgearbeitet und der Programmzähler sowie das Statusregister auf den Stapel gerettet. Anschließend wird der Programmzähler mit dem Inhalt der Speicherzellen \$FFFA und \$FFFB geladen. Diese Speicherzellen enthalten die Einsprungsadresse für die NMI-Routine des Betriebssystems (\$FE43).	E
E	Φ 2	Systemtakt (0,98 MHz)	Bei fallender Flanke von 2 sind Daten gültig	A
F	A 15	Adreß-Bus Bit 15	Der Adreß-Bus ist nicht gepuffert	E/A
H	A 14	Adreß-Bus Bit 14		
J	A 13	Adreß-Bus Bit 13		
K	A 12	Adreß-Bus Bit 12		
L	A 11	Adreß-Bus Bit 11		
M	A 10	Adreß-Bus Bit 10		
N	A 9	Adreß-Bus Bit 9		
P	A 8	Adreß-Bus Bit 8		
R	A 7	Adreß-Bus Bit 7		
S	A 6	Adreß-Bus Bit 6		
T	A 5	Adreß-Bus Bit 5		
U	A 4	Adreß-Bus Bit 4		
V	A 3	Adreß-Bus Bit 3		
W	A 2	Adreß-Bus Bit 2		
X	A 1	Adreß-Bus Bit 1		
Y	A 0	Adreß-Bus Bit 0		
Z	GND	Systemmasse		A